



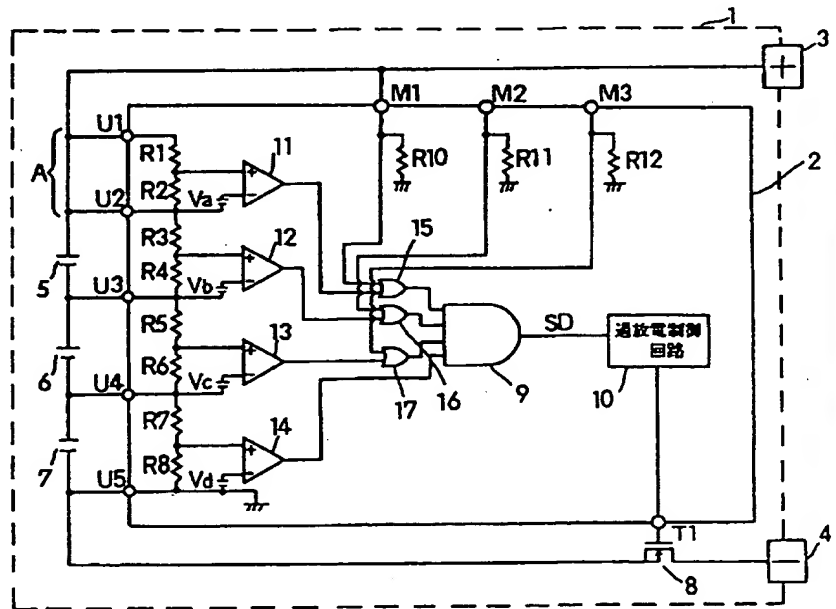
<b>(51) 国際特許分類</b> <b>H02J 7/00</b>	<b>A1</b>	<b>(11) 国際公開番号</b> <b>WO98/34316</b>  <b>(43) 国際公開日</b> 1998年8月6日(06.08.98)
<b>(21) 国際出願番号</b> PCT/JP98/00379 <b>(22) 国際出願日</b> 1998年1月28日(28.01.98) <b>(30) 優先権データ</b> 特願平9/16161 1997年1月30日(30.01.97) JP <b>(71) 出願人 (米国を除くすべての指定国について)</b> ローム株式会社(ROHM CO., LTD.)(JP/JP) 〒615 京都府京都市右京区西院溝崎町21 Kyoto, (JP) <b>(72) 発明者; および</b> <b>(75) 発明者/出願人 (米国についてのみ)</b> 藤田浩幸(FUJITA, Hiroyuki)(JP/JP) 井上晃一(INOUE, Koichi)(JP/JP) 〒615 京都府京都市右京区西院溝崎町21 ローム株式会社内 Kyoto, (JP) <b>(74) 代理人</b> 弁理士 佐野静夫(SANO, Shizuo) 〒540 大阪府大阪市中央区天満橋京町2-6 天満橋八千代ビル別館 Osaka, (JP)		<b>(81) 指定国</b> CA, CN, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書

**(54) Title: POWER SUPPLY MONITORING INTEGRATED CIRCUIT DEVICE AND BATTERY PACK**

**(54) 発明の名称** 電源監視集積回路装置及び電池パック

**(57) Abstract**

A power supply controlling integrated circuit device which is provided with input terminals for detection at which the voltages of batteries respectively appear, comparing means which respectively compare the voltages of the batteries with a prescribed reference voltage, and a mode terminal for inputting signals for designating the number of batteries so as to control the discharging or charging of each battery based on the output of the corresponding comparing means. The integrated circuit device is also provided with a circuit which can forcibly bring part of the comparing means to a prescribed outputting state based on the signal inputted to the mode terminal and a circuit which excludes the output of the above-mentioned comparing means brought to the prescribed outputting state from the objects to be monitored. Thus, the power supply controlling integrated circuit device can control the operations of the batteries even when the number of the batteries is different without requiring any external parts.



10 ... overdischarge control circuit

(57) 要約

電源制御集積回路装置は、電池の各電圧を取り込む検出用入力端子と、電池の各電圧をそれぞれ所定の基準電圧と比較する比較手段とを有する。各比較手段の出力により電池の放電又は充電を制御するために、電池の個数を指定するための信号を入力するモード端子を設けている。そして、モード端子に入力される信号に基づいて比較手段の一部のものを強制的に所定の出力状態とすることができる回路と、前記所定の出力状態となった比較手段の出力を監視除外する回路とを設けている。これにより電源制御集積回路装置は外付け部品等を必要とすることなく、電池の個数が異なっても電池の動作を制御することができる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード (参考情報)

AL	アルバニア	FI	フィンランド	LT	リトアニア	SN	セネガル
AM	アルメニア	FR	フランス	LV	ラトヴィア	SD	スーダン
AT	オーストリア	GB	英国	MC	モナコ	TG	トーゴ
AU	オーストラリア	GE	グルジア	MD	モルドバ	TJ	タジキスタン
AZ	アゼルバイジャン	GH	ガーナ	MG	マダガスカル	TM	トルクメニスタン
BB	バハマ	GN	ギニア	MK	マケドニア共和国	TR	トルコ
BE	ベルギー	GW	ギニア・ビサウ	ML	マリ	TT	トリニダード・トバゴ
BG	ブルガリア	GR	ギリシャ	MN	モンゴル	UA	ウクライナ
BJ	ベナン	HU	ハンガリー	MR	モーリタニア	UG	ウガンダ
BM	バハマ	IE	アイルランド	MX	メキシコ	US	米国
BN	ブナ	IL	イスラエル	NE	ニジェール	UY	ウルグアイ
BO	ボリビア	IT	イタリア	NL	オランダ	VN	ベトナム
BR	ブラジル	JP	日本	NZ	ニュージーランド	ZW	ジンバブエ
BS	バハマ	KE	ケニア	PL	ポーランド		
BT	ブータン	KG	キルギス	PT	ポルトガル		
BV	バレンツ	KR	韓国	RO	ルーマニア		
CA	カナダ	KZ	カザフスタン	RS	セルビア		
CC	ココス (キリング)	LC	セント・ルシア	RU	ロシア		
CD	コンゴ (民主)	LI	リヒテンシュタイン	SE	スウェーデン		
CE	セネガル	LR	リベリア	SG	シンガポール		
CF	中央アフリカ共和国			SI	スロベニア		
CG	コンゴ (共和)			SK	スロバキア		
CH	スイス			SL	シエラレオネ		
CI	コートジボワール						
CK	クック						
CL	チリ						
CM	カメルーン						
CN	中国						
CO	コロンビア						
CR	クリスタ						
CU	キューバ						
CV	カボ・ベルデ						
CY	キプロス						
CZ	チェコ						
DE	ドイツ						
DF	デンマーク						
DG	ドミニカ						
DH	ドミニカ						
DI	ドミニカ						
DJ	ジブチ						
DK	デンマーク						
DL	ドミニカ						
DM	ドミニカ						
DN	ドミニカ						
DO	ドミニカ						
DP	ドミニカ						
DQ	ドミニカ						
DR	ドミニカ						
DS	ドミニカ						
DT	ドミニカ						
DU	ドミニカ						
DV	ドミニカ						
DW	ドミニカ						
DX	ドミニカ						
DY	ドミニカ						
DZ	ドミニカ						
EA	ドミニカ						
EB	ドミニカ						
EC	ドミニカ						
ED	ドミニカ						
EE	ドミニカ						
EF	ドミニカ						
EG	ドミニカ						
EH	ドミニカ						
EI	ドミニカ						
EJ	ドミニカ						
EK	ドミニカ						
EL	ドミニカ						
EM	ドミニカ						
EN	ドミニカ						
EO	ドミニカ						
EP	ドミニカ						
EQ	ドミニカ						
ER	ドミニカ						
ES	ドミニカ						
ET	ドミニカ						
EU	ドミニカ						
EV	ドミニカ						
EW	ドミニカ						
EX	ドミニカ						
EY	ドミニカ						
EZ	ドミニカ						
FA	ドミニカ						
FB	ドミニカ						
FC	ドミニカ						
FD	ドミニカ						
FE	ドミニカ						
FF	ドミニカ						
FG	ドミニカ						
FH	ドミニカ						
FI	ドミニカ						
FJ	ドミニカ						
FK	ドミニカ						
FL	ドミニカ						
FM	ドミニカ						
FN	ドミニカ						
FO	ドミニカ						
FP	ドミニカ						
FQ	ドミニカ						
FR	ドミニカ						
FS	ドミニカ						
FT	ドミニカ						
FU	ドミニカ						
FV	ドミニカ						
FW	ドミニカ						
FX	ドミニカ						
FY	ドミニカ						
FZ	ドミニカ						
GA	ドミニカ						
GB	ドミニカ						
GC	ドミニカ						
GD	ドミニカ						
GE	ドミニカ						
GF	ドミニカ						
GG	ドミニカ						
GH	ドミニカ						
GI	ドミニカ						
GJ	ドミニカ						
GK	ドミニカ						
GL	ドミニカ						
GM	ドミニカ						
GN	ドミニカ						
GO	ドミニカ						
GP	ドミニカ						
GQ	ドミニカ						
GR	ドミニカ						
GS	ドミニカ						
GT	ドミニカ						
GU	ドミニカ						
GV	ドミニカ						
GW	ドミニカ						
GX	ドミニカ						
GY	ドミニカ						
GZ	ドミニカ						
HA	ドミニカ						
HB	ドミニカ						
HC	ドミニカ						
HD	ドミニカ						
HE	ドミニカ						
HF	ドミニカ						
HG	ドミニカ						
HH	ドミニカ						
HI	ドミニカ						
HJ	ドミニカ						
HK	ドミニカ						
HL	ドミニカ						
HM	ドミニカ						
HN	ドミニカ						
HO	ドミニカ						
HP	ドミニカ						
HQ	ドミニカ						
HR	ドミニカ						
HS	ドミニカ						
HT	ドミニカ						
HU	ドミニカ						
HV	ドミニカ						
HW	ドミニカ						
HX	ドミニカ						
HY	ドミニカ						
HZ	ドミニカ						
IA	ドミニカ						
IB	ドミニカ						
IC	ドミニカ						
ID	ドミニカ						
IE	ドミニカ						
IF	ドミニカ						
IG	ドミニカ						
IH	ドミニカ						
II	ドミニカ						
IJ	ドミニカ						
IK	ドミニカ						
IL	ドミニカ						
IM	ドミニカ						
IN	ドミニカ						
IO	ドミニカ						
IP	ドミニカ						
IQ	ドミニカ						
IR	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU	ドミニカ						
IV	ドミニカ						
IS	ドミニカ						
IT	ドミニカ						
IU							

## 明細書

## 電源監視集積回路装置及び電池パック

## 技術分野

本発明はリチウムイオン電池等の電圧を監視することにより電池の放電や充電の動作を制御する電源監視集積回路装置（以下「電源監視ＩＣ」という）に関する。

## 背景技術

従来の電源監視ＩＣについて第４図及び第５図を用いて説明する。第４図は３段に接続されたリチウムイオン電池５～７の放電や充電を制御するリチウムイオン電源装置（以下「電池パック」という）１ｂの回路図である。リチウムイオン電池５～７は過放電の状態となると特性が劣化するため、電池パック１ｂは電源監視ＩＣ２ｂを用いて各電池５～７の電圧を監視し、過放電の状態とならないようにしている。

電池５～７は高電位側から順に直列に接続される。電池５の高電位側が電源監視ＩＣ２ｂの検出用入力端子Ｕ１及び電池パック１ｂのプラス端子３に接続される。電池７の低電位側が入力端子Ｕ４及びＮチャネル型のＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）８のドレインに接続される。

ＭＯＳＦＥＴ８のソースが電池パック１ｂのマイナス端子４に接続される。ＭＯＳＦＥＴ８のゲートは端子Ｔ１に接続され、この端子Ｔ１を通して電源監視ＩＣ２ｂからオン／オフ制御信号を受ける。電池５と６の接続中点が入力端子Ｕ２に接続される。電池６と７の接続中点が入力端子Ｕ３に接続される。

電源監視ＩＣ２ｂにおいて、端子Ｕ１とＵ２の間に抵抗Ｒ１とＲ２が直列に接続される。同様に、端子Ｕ２とＵ３の間に抵抗Ｒ３とＲ４が直列に接続される。端子Ｕ３とＵ４の間に抵抗Ｒ５とＲ６が直列に接続される。端子Ｕ４はグランドに接続される。

抵抗Ｒ１とＲ２の接続中点が比較器１１の非反転入力端子（＋）に接続される。

比較器 1 1 の反転入力端子 ( - ) には端子 U 2 の電圧より基準電圧  $V_a$  だけ高い電圧が入力される。抵抗  $R_3$  と  $R_4$  の接続中点が比較器 1 2 の非反転入力端子 ( + ) に接続される。比較器 1 2 の反転入力端子 ( - ) には端子 U 3 の電圧よりも基準電圧  $V_b$  だけ高い電圧が入力される。抵抗  $R_5$  と  $R_6$  の接続中点が比較器 1 3 の非反転入力端子 ( + ) に接続される。比較器 1 3 の反転入力端子 ( - ) にはグランド電圧よりも基準電圧  $V_c$  だけ高い電圧が入力される。基準電圧  $V_a$ 、 $V_b$ 、 $V_c$  の値は同一である。

比較器 1 1 ~ 1 3 の出力がアンド回路 9 b に入力される。アンド回路 9 b より論理積信号  $S_D$  が出力され、過放電制御回路 1 0 に入力される。過放電制御回路 1 0 は信号  $S_D$  に基づいて端子 T 1 に接続された MOSFET 8 をオン／オフ制御する。

比較器 1 1 ~ 1 3 で、電池 5 ~ 7 の各電圧が所定の過放電電圧より高いかどうか判断される。過放電電圧は例えば 2. 2 V である。電池 5 ~ 7 の全てが過放電電圧より高ければアンド回路 9 b よりハイレベルの信号  $S_D$  が出力される。一方、電池 5 ~ 7 の 1 個でも過放電電圧より低くなればアンド回路 9 b よりローレベルの信号  $S_D$  が出力される。

信号  $S_D$  がハイレベルであるとき、過放電制御回路 1 0 は MOSFET 8 をオンして端子 3、4 に接続されたパーソナルコンピュータ等の機器 ( 図示せず ) に電力を供給する。一方、信号  $S_D$  がローレベルとなったとき、過放電制御回路 1 0 は MOSFET 8 をオフして、電池 5 ~ 7 の放電を禁止する。

次に、第 5 図に上記従来の電池パック ( 第 4 図 ) と別構成の電池パック 1 c を示す。電池 5 ~ 7 に対応して複数の検出回路 3 0 ~ 3 2 を組み合わせる。検出回路 3 0 ~ 3 2 は同一の回路であり、例えば単一の集積回路に設けられる。

各検出回路 3 0 ~ 3 2 において、端子 U 1 と U 2 との間に抵抗  $R_1$  と  $R_2$  が直列に接続される。抵抗  $R_1$  と  $R_2$  の接続中点が比較器 3 5 に非反転入力端子 ( + ) に接続される。比較器 3 5 の反転入力端子 ( - ) には端子 U 2 の電圧より基準電圧  $V_a$  だけ高い電圧が入力される。比較器 3 5 での比較結果は端子 T 0 より出力される。

検出回路 3 0 ~ 3 2 の各端子 T 0 より出力される各信号がアンド回路 3 6 に入

力される。これにより、アンド回路 36 より信号 S D が出力され、過放電制御回路 34 に入力される。信号 S D がハイレベルのとき過放電制御回路 34 は M O S F E T 8 をオンし、一方、ローレベルとなったとき M O S F E T 8 をオフする。これにより、第 4 図に示す回路と同一の過放電制御が行われる。尚、第 5 図において第 4 図と同一の部分に付いでは同一の符号を付し、説明を省略する。

しかしながら、前者の場合、電源監視 I C 2 b (第 3 図) は 3 段の電池 5 ~ 7 にしか対応できない。つまり、段数が異なるときは、段数に応じて別個に専用の電源監視 I C を用意する必要があった。そのため、電池の段数に応じて電源監視 I C を別々に製造しなければならないので、電源監視 I C 等の管理が複雑化し、電池パック等の評価、設計期間等が長くなっていた。

また、後者の場合、第 5 図に示すように電池の段数に応じて接続することが可能となるが、検出回路 30 ~ 32 より出力される各信号にアンド処理を行うために外付け部品 33 が別途必要であった。そのため、コストアップとなっていた。

#### 発明の開示

本発明は、外付け部品等を必要とすることなく、個数の異なる電池を制御することのできる電源監視 I C 及びそれを用いた電池パックを提供することを目的とする。

上記目的を達成するため、本発明の第 1 の構成では、複数の電池の各電圧を取り込む入力端子と、前記電池の各電圧をそれぞれ所定の基準電圧と比較する複数の比較手段とを有し、前記各比較手段の出力により前記電池の放電又は充電を制御する電源監視 I C において、前記電源監視 I C によって制御される電池の個数を指定するための信号を入力するモード端子を設け、前記モード端子に入力される信号に基づいて前記複数の比較手段の一部のものを強制的に所定の出力状態とすることができる第 1 回路と、前記所定の出力状態となった比較手段の出力を監視除外する第 2 回路とを設けている。

このような構成によると、電源監視 I C は、比較器等の比較手段で各電池の電圧と所定の例えば過放電電圧とを比較する。そして、例えば電池の電圧が過放電電圧より高いときに比較器よりハイレベルの信号を出力し、一方、低いときにロ

ーレベルの信号を出力する。更に各比較器の各出力をアンド回路に入力することにより、電池が全て過放電電圧より高いときにアンド回路の出力がハイレベルとなり、一方、1個でも電池が過放電電圧より低いときにローレベルとなる。アンド回路の出力がローレベルとなったとき、電源監視ICはMOSFET等のスイッチング素子を用いて電池の放電を禁止する制御を行う。

モード端子にハイレベル又はローレベルの電圧による電池の個数を指定する信号を入力することにより、上記複数の比較器の一部で監視除外されるものを強制的にハイレベルの出力状態とする。これにより、アンド回路ではその監視除外される比較器の比較結果を除外してアンド処理できるため、電源監視ICは電池の個数の指定に従って電池の制御を行う。ここで、アンド回路が上記第2回路に対応する。また、上記第1回路は特定の比較手段とモード端子に接続されその特定の比較手段の出力とモード端子の信号を入力するオア回路で構成できる。

#### 図面の簡単な説明

第1図は本発明の第1の実施形態の電池パックの回路図。

第2図は本発明の第2の実施形態の電池パックの回路図。

第3図は本発明の第3の実施形態の電池パックの回路図。

第4図は従来の電源監視ICを用いた電池パックの一例の回路図。

第5図は従来の電源監視ICを用いた電池パックの別例の回路図。

#### 発明を実施するための最良の形態

##### <第1の実施形態>

第1図は本実施形態の電源監視IC2を使用した電池パック1の回路図である。第1図において第4図と同一部分については同一符号を付し、重複説明を省略する。電源監視IC2は1～4段の電池を制御することができ、第1図に示す例では3段の電池5～7を制御している。

高電位側から順にリチウムイオン電池5～7が直列に接続される。電池5の高電位側が電源監視IC2の検出用入力端子U1、U2及び電池パック1のプラス端子3に接続される。電池7の低電位側が入力端子U5及びMOSFET8のド

ラインに接続される。MOSFET 8のソースはマイナス端子4に接続されている。

MOSFET 8のゲートは端子T 1に接続され、電源監視IC 2によりオン／オフ制御される。MOSFET 8はスイッチング素子である。電池5と6の接続中点は入力端子U 3に接続される。電池6と7の接続中点は入力端子U 4に接続される。モード端子M 1は電池5の高電位側に接続される。モード端子M 2、M 3は開放されるか又は接地される。

電源監視IC 2において、入力端子U 1とU 2の間に抵抗R 1とR 2が直列に接続される。入力端子U 2とU 3の間に抵抗R 3とR 4が直列に接続される。入力端子U 3とU 4の間に抵抗R 5とR 6が直列に接続される。入力端子U 4とU 5の間に抵抗R 7とR 8が直列に接続される。入力端子U 5はグラウンドに接続される。

抵抗R 1とR 2の接続中点が比較器1 1の非反転入力端子(+)に接続される。比較器1 1の反転入力端子(-)には入力端子U 2の電圧より基準電圧V aだけ高い電圧が入力される。抵抗R 3とR 4の接続中点が比較器1 2の非反転入力端子(+)に接続される。比較器1 2の反転入力端子(-)には入力端子U 3の電圧より基準電圧V bだけ高い電圧が入力される。

抵抗R 5とR 6の接続中点が比較器1 3の非反転入力端子(+)に接続される。比較器1 3の反転入力端子(-)には入力端子U 4の電圧より基準電圧V cだけ高い電圧が入力される。抵抗R 7とR 8の接続中点が比較器1 4の非反転入力端子(+)に接続される。比較器1 4の反転入力端子(-)にはグラウンドレベルより基準電圧V dだけ高い電圧が入力される。比較器1 1～1 4の出力側がアンド回路9に入力される。ただし、比較器1 1～1 3の出力側には空き出力処理回路1 5～1 7がそれぞれ挿入されている。基準電圧V a、V b、V c、V dの値は等しい。

また、モード端子M 1～M 3にはそれぞれ空き出力処理回路1 5～1 7が接続されている。空き出力処理回路1 5～1 7は、各比較器1 1～1 3の出力と各モード端子M 1～M 3の電圧レベルを入力することにより、比較器1 1～1 3のそれぞれを強制的にハイレベルの出力状態とすることができるオア回路である。ま

た、端子M1～M3は各抵抗R10～R12を介してグラウンドに接続されている。

空き出力処理回路15はモード端子M1からハイレベルが入力されることによりハイレベルの信号を出力し、比較器11の出力を強制的にハイレベルとする。一方、空き出力処理回路16、17は各モード端子M2、M3からローレベルが入力されているので、比較器12、13から出力される信号をそのままアンド回路9に入力する。

Aで示す部分がセル未使用部分であり、短絡処理されている。これにより、比較器11の出力がローレベルとなるが、モード端子M1からのハイレベルにより空き出力処理回路15はハイレベルの信号をアンド回路9に入力する。そのため、アンド回路9では電池5～7の電圧と過放電電圧との比較結果がアンド処理される。電池5～7の全てが過放電電圧より高ければアンド回路9よりハイレベルの論理積信号SDが出力される。一方、電池5～7の1個でも過放電電圧より低くなればアンド回路9よりローレベルの信号SDが出力される。

そして、信号SDがハイレベルであるとき、過放電制御回路10は入力端子T1に接続されているMOSFET8をオンして、プラス端子3及びマイナス端子4に接続されているパーソナルコンピュータ等の機器（図示せず）に電力を供給する。一方、信号SDがローレベルになったとき、過放電制御回路10はMOSFET8をオフして電池5～7の放電を禁止する。

このようにセル未使用部分Aが存在していても論理の整合性が保たれるので、電源監視IC2で3段の電池5～7を制御することができる。空き出力処理回路15により比較器11をハイレベルの出力状態としているため、アンド回路9及び過放電制御回路10では比較器11の出力を監視除外しているからである。

未使用セル部分Aに電池を挿入して4段の電池を制御するには、モード端子M1を開放して接地状態とすればよい。これにより、空き出力処理回路15よりハイレベルの信号が出力されなくなり、比較器11の出力がそのままアンド回路9に入力される。また、電池の段数が1段又は2段でも、モード端子M1～M3のうち適当なものにハイレベルの電圧を入力するとともに入力端子U1～U4のうち未使用の入力端子間を短絡処理することにより、電池の段数を選択することができ、その段数での電池の放電状態制御を適切に行うことができる。尚、電源監



視 IC 2 で監視する電池数が 0 となることはないので、モード端子 M 1 ~ M 3 の個数は (電池数 - 1) となる。

このように本実施形態によると、1 個の電源監視 IC 2 で 1 ~ 4 段の電池の制御を行うことができるので、段数が異なっても電源監視 IC 2 を共通で使用できる。そのため、電源監視 IC 2 等の管理が容易となる。電池の段数に応じて専用の電源監視 IC を製造する必要がないので、電池パックの評価、設計等の期間が短縮される。電源監視 IC 2 で制御する電池の段数を変えても制御の信頼性が維持される。また、上記従来の電池パック 1 c (第 5 図参照) では必要となっていた外付け部品 3 3 等を必要としないで 1 ~ 4 段の電池の制御を行うことができる。

更に、電池 5 ~ 7 が過充電や過電流となっても発煙等の危険があるために、後述するように電源監視 IC 2 に過充電や過電流を防止する機能を備えてもよい。過充電を検出するには、過放電電圧を検出したときと同じように、比較器を用いて各電池 5 ~ 7 の電圧が所定の過充電電圧より高いかどうか判断する。過充電電圧は例えば 4.3 V である。そして、電池 5 ~ 7 の 1 個でも過充電電圧より高くなれば、電池 5 ~ 7 と直列に接続された他の MOSFET (図示せず) をオフして電池 5 ~ 7 の充電を禁止する。

次に、過電流を検出するには、MOSFET 8 のように電池 5 ~ 7 に直列に接続されている素子を用いてその素子での電圧降下を読み取ることにより電流を検出する。そして、所定の電流値より大きくなれば、電池 5 ~ 7 に直列に接続されている他の MOSFET (図示せず) をオフして電池 5 ~ 7 の使用を禁止する。

尚、実施の形態での電源監視 IC 2 で制御できる電池の最大段数は 4 段であるが、同様な回路を追加することにより 4 段に限らず他の最大段数で制御することができる。また、MOSFET 8 は他のスイッチング素子を使用してもよい。過放電電圧は 2.2 V だけでなく、他の電圧値に設定することができる。過充電電圧についても 4.3 V だけでなく、他の電圧値に設定することができる。また、各空き出力処理回路の出力で各比較器の動作をそれぞれ制御するようにしてもよい。

#### < 第 2 の実施形態 >

本発明の第 2 の実施形態について第 2 図を用いて説明する。第 2 図は 3 段及び

4 段の電池を制御することのできる電源監視 IC 2 a を用いて 3 段の電池 5 ~ 7 を制御する構成の電池パック 1 a の回路図である。

高電位側から順にリチウムイオン電池 5 ~ 7 が直列に接続される。電池 5 の高電位側が電源監視 IC 2 a の入力端子 U 1、U 2 及び電池パック 1 a のプラス端子 3 に接続される。電池 7 の低電位側が入力端子 U 5 及び MOSFET 8 のドレインに接続される。MOSFET 8 のソースはマイナス端子 4 に接続される。

MOSFET 8 のゲートは端子 T 1 に接続され、電源監視 IC 2 a によりオン／オフ制御される。電池 5 と 6 の接続中点は入力端子 U 3 に接続される。電池 6 と 7 の接続中点は入力端子 U 4 に接続される。モード端子 M 1 は電池 5 の高電位側に接続される。

電源監視 IC 2 a において、入力端子 U 1 と U 2 の間に抵抗 R 1 と R 2 が直列に接続される。入力端子 U 2 と U 3 の間に抵抗 R 3 と R 4 が直列に接続される。入力端子 U 3 と U 4 の間に抵抗 R 5 と R 6 が直列に接続される。入力端子 U 4 と U 5 の間に抵抗 R 7 と R 8 が直列に接続される。入力端子 U 5 はグランドに接続されている。

抵抗 R 1 と R 2 の接続中点が比較器 1 1 の非反転入力端子 (+) に接続される。比較器 1 1 の反転入力端子 (-) には入力端子 U 2 の電圧より基準電圧 V a だけ高い電圧が入力される。抵抗 R 3 と R 4 の接続中点が比較器 1 2 の非反転入力端子 (+) に接続される。比較器 1 2 の反転入力端子 (-) には入力端子 U 3 の電圧より基準電圧 V b だけ高い電圧が入力される。

抵抗 R 5 と R 6 の接続中点が比較器 1 3 の非反転入力端子 (+) に接続される。比較器 1 3 の反転入力端子 (-) には入力端子 U 4 の電圧より基準電圧 V c だけ高い電圧が入力される。抵抗 R 7 と R 8 の接続中点が比較器 1 4 の非反転入力端子 (+) に接続される。比較器 1 4 の反転入力端子 (-) にはグランドレベルより基準電圧 V d だけ高い電圧が入力される。比較器 1 1 ~ 1 4 の出力側がアンド回路 9 a に入力される。

端子 M 1 にはセルモード切り換え回路 1 9 が接続されている。切り換え回路 1 9 は端子 M 1 からのハイレベル又はローレベルの入力により動作モードを切り換える。切り換え回路 1 9 は端子 M 1 がハイレベルのとき比較器 1 1 の出力レベル

を強制的にハイレベルの出力状態とすることのできるオア回路である。図示の場合は、3セルモード（電池段数が3）の場合であり、端子M1が電池5の高電位側に接続されていてハイレベルを切換え回路19に与えている。4セルモード（電池段数が4）の場合には端子M1は開放されるか接地される。尚、端子M1は抵抗R10を介して接地されている。

3セルモードの場合、入力端子U1とU2が短絡されているので比較器11の出力がローレベルとなるが、切り換え回路19がアンド回路9aに信号を送ることにより、アンド回路9aで、例えば前述のように比較器11の出力側を強制的にハイレベルとすることにより、比較器12～14から出力される信号のアンド処理を行う。

これにより、アンド回路9aは電池5～7の電圧を過放電電圧と比較して、過放電制御回路10に信号SDを出力する。そして、過放電制御回路10は信号SDにより端子T1に接続されているMOSFET8をオン／オフ制御する。3セルモードの場合、アンド回路9a及び過放電制御回路10は比較器11の出力を監視除外する。

これにより、例えば、ノート型のパーソナルコンピュータではCPU（Central Processor Unit）の種類によって電池の段数が3段又は4段となるように異なるものがあるが、本実施形態の電源監視IC2又は2aはいずれの場合にも使用することができる。このように、電源監視ICの利用範囲が広がる。上記第1の実施形態（第1図）及び本実施形態（第2図）では動作モードの違いをモード端子をハイレベル又はローレベルの電圧レベルを入力することにより切り換えていたが、パルス信号等の所定の切り換え信号の入力数に応じて動作モードを切り換えるようにしてもよい。

#### <第3の実施形態>

本発明の第3の実施形態について第3図を用いて説明する。第3図は過放電及び過充電を監視する電源監視IC80を用いた電池パック70のブロック図である。電源監視IC80は4個のリチウムイオン電池21～24をそれぞれ過放電及び過充電とならないように監視する。

高電位側から順番に電池21～24が直列に接続される。電池21の高電位側

が電池パック70のプラス端子60に接続され、電池24の低電位側が放電制御用のNチャネル型のMOSFET55のドレインに接続される。MOSFET55のソースが充電制御用のNチャネル型のMOSFET56のドレインに接続され、MOSFET55のゲートが電源監視IC80の端子T1に接続される。

MOSFET56のソースが電池パック70のマイナス端子61に接続され、ゲートが電源監視IC80の端子T2に接続される。尚、MOSFET55、56は後述するように電源監視IC80によりオン/オフ制御される。そして、放電により端子60、61に接続されたパーソナルコンピュータ71に電力が供給される。

後述する比較器に電力を供給するための電力供給端子UC1が保護抵抗R40を介して電池21の高電位側に接続される。尚、保護抵抗R40～R47は抵抗値が1kΩ程度の抵抗で、ノイズが電源監視IC73の内部に入り込み、電源監視IC73が静電破壊されるのを防止する。また、電圧検出端子U1が保護抵抗R41を介して電池21の高電位側に接続される。中間端子についても、電力供給端子UC2が保護抵抗R42を介して電池21と22の接続中点に接続される。電圧検出端子U2が保護抵抗R43を介して電池21と22の接続中点に接続される。

電力供給端子UC3が保護抵抗R44を介して電池22と23の接続中点に接続される。電圧検出端子U3が保護抵抗R45を介してそれぞれ電池22と23の接続中点に接続される。電力供給端子UC4が保護抵抗R46を介して電池23と24の接続中点に接続される。電圧検出端子U4が保護抵抗R47を介して電池23と24の接続中点に接続される。

電力供給端子UC1～UC4はそれぞれ比較器30～33及び比較器40～43に電力を供給する。端子U1とUC2の間に抵抗R20とR21が直列に接続される。抵抗R20とR21の接続中点の電圧が比較器30の非反転入力端子(+)に入力される。比較器30の反転入力端子(-)に電力供給端子UC2の電圧よりも比較電圧Vaだけ高い電圧が入力される。

同様に、電圧検出端子U2と電力供給端子UC3の間に抵抗R22とR23が直列に接続される。抵抗R22とR23の接続中点の電圧が比較器31の非反転

入力端子(+)に入力される。比較器31の反転入力端子(-)に電力供給端子UC3の電圧よりも比較電圧Vbだけ高い電圧が入力される。

同様に、端子U3とUC4の間に抵抗R24とR25が直列に接続される。抵抗R24とR25の接続中点の電圧が比較器32の非反転入力端子(+)に入力される。比較器32の反転入力端子(-)に電力供給端子UC4の電圧よりも比較電圧Vcだけ高い電圧が入力される。

同様に、端子U4とGNDの間に抵抗R26とR27が直列に接続される。抵抗R26とR27の接続中点の電圧が比較器33の非反転入力端子(+)に入力される。端子GNDは接地され、グラウンドレベルとなる。比較器33の反転入力端子(-)にグラウンドレベルよりも比較電圧Vdだけ高い電圧が入力される。

抵抗R20、R22、R24及びR26の抵抗値は等しく、例えば3MΩである。抵抗R21、R23、R25及びR27の抵抗値は等しく、例えば1MΩである。比較電圧Va~Vdの電圧値は等しく、比較器30~33でそれぞれ電池21~24の電圧と過放電電圧が比較される。過放電電圧は例えば2.2Vである。

比較器30~33の出力がアンド回路50に入力される。ただし、比較器30の出力側にはオア回路57が挿入され、オア回路57のもう一方の入力側はモード端子M1に接続される。モード端子M1は抵抗R10を介して接地される。これにより、電池21~24のいずれもが過放電電圧より高いときアンド回路50は信号SDを出力する。アンド回路50の出力が過放電制御回路51に送られる。信号SDが過放電制御回路51に入力されると、過放電制御回路51は端子T1に接続されたMOSFET55のゲートに電圧を印加し、MOSFET55をオンする。

一方、電池21~24の少なくとも1個の電圧が過放電電圧より低くなると、アンド回路50より信号SDが出力されなくなり、過放電制御回路51はMOSFET55をオフする。これにより、放電のときに電源監視IC80により電池21~24が過放電状態とならないように監視される。

更に、電源監視IC80は充電のときに電池21~24が過充電状態とならないように監視を行う。端子U1とUCの間に抵抗R30、R31が直列に接続さ

れる。抵抗  $R30$  と  $R31$  の接続中点の電圧が比較器 40 の非反転入力端子 (+) に入力され、反転入力端子 (-) に端子 UC2 よりも比較電圧  $V_e$  だけ高い電圧が入力される。これにより、電池 21 の電圧が所定の過充電電圧より高いときに比較器 40 の出力はハイレベルとなり、一方、低いときにローレベルとなる。過充電電圧は例えば 4.3V である。

同様に、端子 U2 と UC3 の間に抵抗  $R32$  と  $R33$  が直列に接続され、抵抗  $R32$  と  $R33$  の接続中点の電圧が比較器 41 の非反転入力端子 (+) に入力される。比較器 41 の反転入力端子 (-) には端子 UC3 の電圧より比較電圧  $V_f$  だけ高い電圧が入力される。

同様に、端子 U3 と UC4 の間に抵抗  $R34$  と  $R35$  が直列に接続され、抵抗  $R34$  と  $R35$  の接続中点の電圧が比較器 42 の非反転入力端子 (+) に入力される。比較器 42 の反転入力端子 (-) には端子 UC4 の電圧より比較電圧  $V_g$  だけ高い電圧が入力される。

同様に、端子 U4 と GND の間に抵抗  $R36$  と  $R37$  が直列に接続され、抵抗  $R36$  と  $R37$  の接続中点の電圧が比較器 43 の非反転入力端子 (+) に入力される。比較器 43 の反転入力端子 (-) にはグラウンドレベルより比較電圧  $V_h$  だけ高い電圧が入力される。

比較器 40 ~ 43 の出力がオア回路 52 に入力される。これにより、電池 21 ~ 24 の少なくとも 1 個の電圧が過充電電圧より高くなるとオア回路 52 の出力がハイレベルとなる。一方、電池 21 ~ 24 の各電圧の全てが過充電電圧より低いときローレベルとなる。オア回路 52 の出力 (信号 SC) が充電制御回路 53 に入力される。

充電制御回路 53 はハイレベルの信号 SC が入力されない場合、端子 T2 に接続された MOSFET 56 のゲートに電圧を印加して MOSFET 56 をオンする。一方、ローレベルの信号 SC が入力された場合、MOSFET 56 をオフする。これにより、端子 60、61 より電池 21 ~ 24 に充電を行うときに、電池 21 ~ 24 の各電圧が過充電電圧より高くないかどうか監視され、1 個でも電池 21 ~ 24 の電圧が過充電電圧より高くなれば、MOSFET 56 をオフすることにより充電が禁止される。

本実施形態の電源監視 IC 80 を用いることにより、4 個の直列に接続したりリチウムイオン電池 21～24 が過放電や過充電とならないように監視される。抵抗 R 20～R 27 により高インピーダンスとなっているため、電圧検出端子 U 1～U 4 には電流が殆ど流れない。そのため、保護抵抗 R 41、R 43、R 45、R 45 や配線抵抗などの電圧降下が小さくなるので、検出精度の低下が抑えられる。

また、中間端子 U 2～U 4、UC 2～UC 4 が半田付け不良等のためにはずれた場合にも他の端子に影響を及ぼすことがないので誤判断することなく、電源監視 IC 80 は MOSFET 55 をオフして、電池 21～24 が過放電状態になるのを防止する。同様に、過充電電圧を検出する比較器 40～43 でも誤判断しなくなる。また、監視する電池が 3 個の場合、電池 21 のところを短絡接続し、更にモード端子 M 1 を電池 22～24 の高電位側に接続する。これにより、前述のように 3 個の電池 22～24 の監視を行うことができる。

リチウムイオン電池 21～24 に過電流が流れても発煙するなどの危険があるため、過電流を防止する機能を電源監視 IC 80 に備えるようにしてもよい。例えば、MOSFET 55 などのオン抵抗を利用して電流を電圧に変換してその電圧を検出し、過電流の場合には MOSFET 55 をオフする。

電源監視 IC 80 は第 5 図に示すように電池 21～24 ごとに同種の回路構成となっているので、監視する電池数を 2、3・・・と任意に設定することができる。例えば、2 個又は 3 個の電池を監視する電源監視 IC は携帯電話や携帯ビデオ撮影装置などに使用できる。3 個又は 4 個の電池を監視する電源監視 IC は、第 5 図に示すようにパーソナルコンピュータ 71 などに使用される。当然、本実施形態の電池パック 70 はパーソナルコンピュータ 71 だけでなく他の機器でも使用可能である。

また、MOSFET 55、56 の挿入位置はオフすると電池 21～24 に放電、充電が行われなくなる位置であればどこでもよい。端子 UC 1 と U 1 は同一の端子としてもよい。

産業上の利用可能性

上述のように、本発明によれば、モード端子でプルアップ／プルダウン等の切り換えにより、電源監視ICに接続する電池の個数を指定することができる。そして、電源監視ICでは電池の各電圧と所定の基準電圧を比較器等の比較手段で比較し、電池の個数の指定に基づいて出力が監視除外される比較器を強制的に所定の出力状態とする。これにより、電池の個数が異なっても1個の電源監視ICで信頼性を維持しつつ、論理の整合性を保ったまま電池の制御を行うことができる。また、外付けの部品等を必要とすることなく、電池を制御することができる。電池数が異なっても電源監視ICを統一して使用できるので電源監視IC等の部品管理が容易となる。また、電池数に応じて専用の電源監視ICを製造する必要がないので、電池パック等の評価や設計期間を短縮することができる。

前述のように、制御の信頼性を維持しつつ外付け部品等を必要としないで、電池の接続状態が異なっても1個の電源監視ICで電池の動作を制御することができる。従って、本発明は、機種によって2個の電池を必要としたり3個の電池を必要としたりする携帯電話や携帯ビデオ撮影装置などに有用である。また3個の電池や4個の電池を必要とするパーソナルコンピュータなどにも有用である。



## 請求の範囲

1. 複数の電池の各電圧を取り込む入力端子と、前記電池の各電圧をそれぞれ所定の基準電圧と比較する複数の比較手段とを有し、前記各比較手段の出力により前記電池の放電又は充電を制御する電源監視集積回路装置において、

前記電源監視集積回路装置によって制御される電池の個数を指定するための信号を入力するモード端子を設け、前記モード端子に入力される信号に基づいて前記複数の比較手段の一部のものを強制的に所定の出力状態とすることができる第1回路と、前記所定の出力状態となった比較手段の出力を監視除外する第2回路とを設けていることを特徴とする電源監視集積回路装置。

2. 前記基準電圧は過放電電圧であり、前記比較手段は前記電池の電圧が前記過放電電圧より高いときに第1レベルを出力し、一方、前記電池の電圧が前記過放電電圧より低いときに第2レベルを出力し、前記監視除外する第2回路は前記各比較手段の出力をアンド回路でアンド処理し、前記強制的に所定の出力状態とすることができる第1回路により前記モード端子に入力される信号に基づいて前記比較手段の一部のものを強制的に出力状態を第1レベルとすることを特徴とする請求項1に記載の電源監視集積回路装置。

3. 前記第1回路は特定の比較手段とモード端子に接続されその特定の比較手段の出力とモード端子の信号を入力するオア回路であり、前記第2回路は前記オア回路の出力と残りの比較手段の出力を入力するアンド回路であることを特徴とする請求項1に記載の電源監視集積回路装置。

4. 電池と、この電池に直列に接続されたスイッチング素子と、電源監視集積回路装置を備えていて、前記電源監視集積回路装置の監視結果によって前記スイッチング素子のオン／オフを制御する電池パックにおいて、前記電源監視集積回路装置が以下のものからなっている：

複数の電池の各電圧を取り込む入力端子と、

前記電池の各電圧をそれぞれ所定の基準電圧と比較する複数の比較手段と、

前記電源監視集積回路装置によって制御される電池の個数を指定するための信号を入力するモード端子と、

前記モード端子に入力される信号に基づいて前記複数の比較手段の一部のものを強制的に所定の出力状態とすることができる第1回路と、

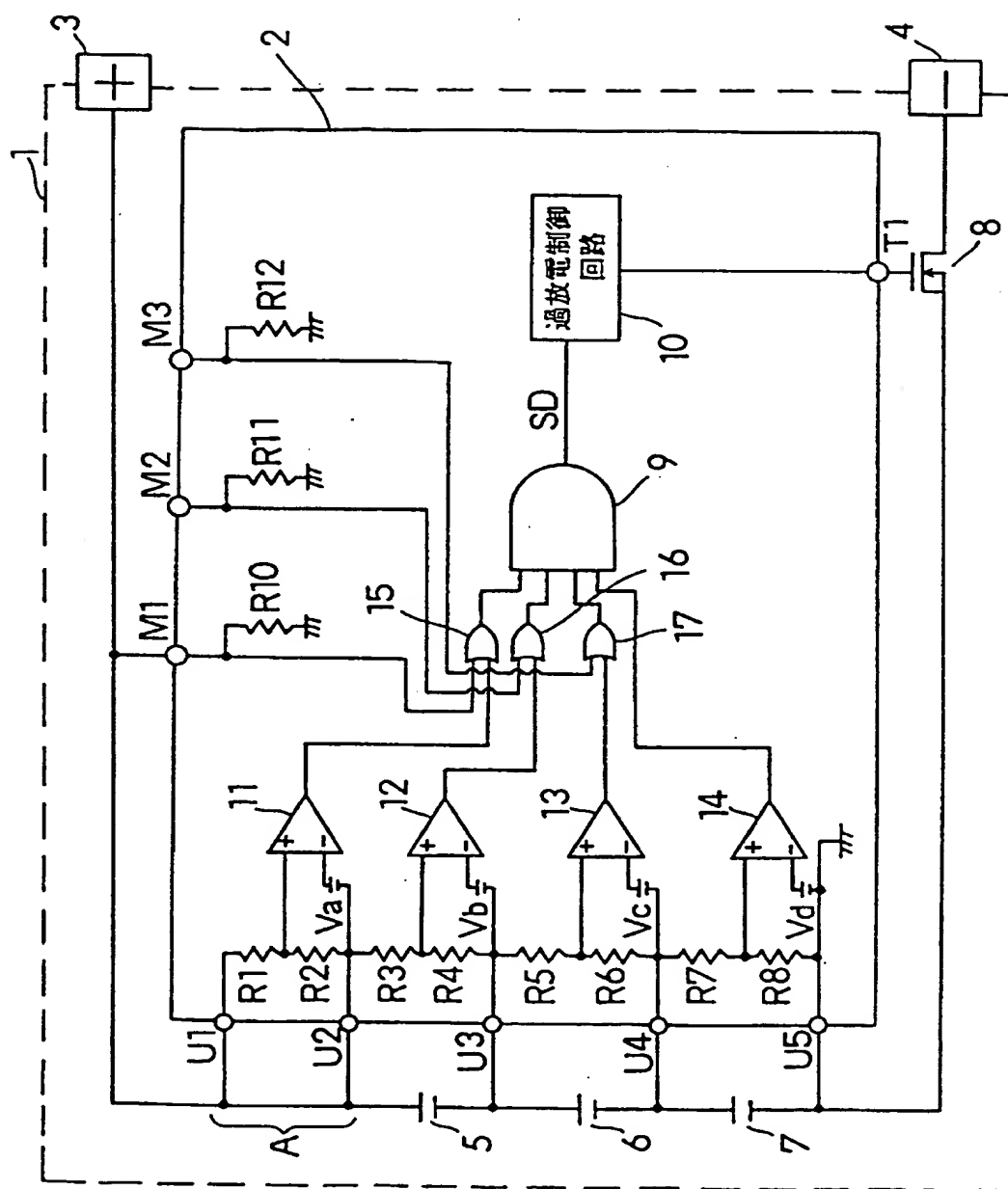
前記所定の出力状態となった比較手段の出力を監視除外する第2回路。

5. 前記基準電圧は過放電電圧であり、前記比較手段は前記電池の電圧が前記過放電電圧より高いときに第1レベルを出力し、一方、前記電池の電圧が前記過放電電圧より低いときに第2レベルを出力し、前記監視除外する第2回路は前記各比較手段の出力をアンド回路でアンド処理し、前記強制的に所定の出力状態とすることができる第1回路により前記モード端子に入力される信号に基づいて前記比較手段の一部のものを強制的に出力状態を第1レベルとすることを特徴とする請求項4に記載の電池パック。

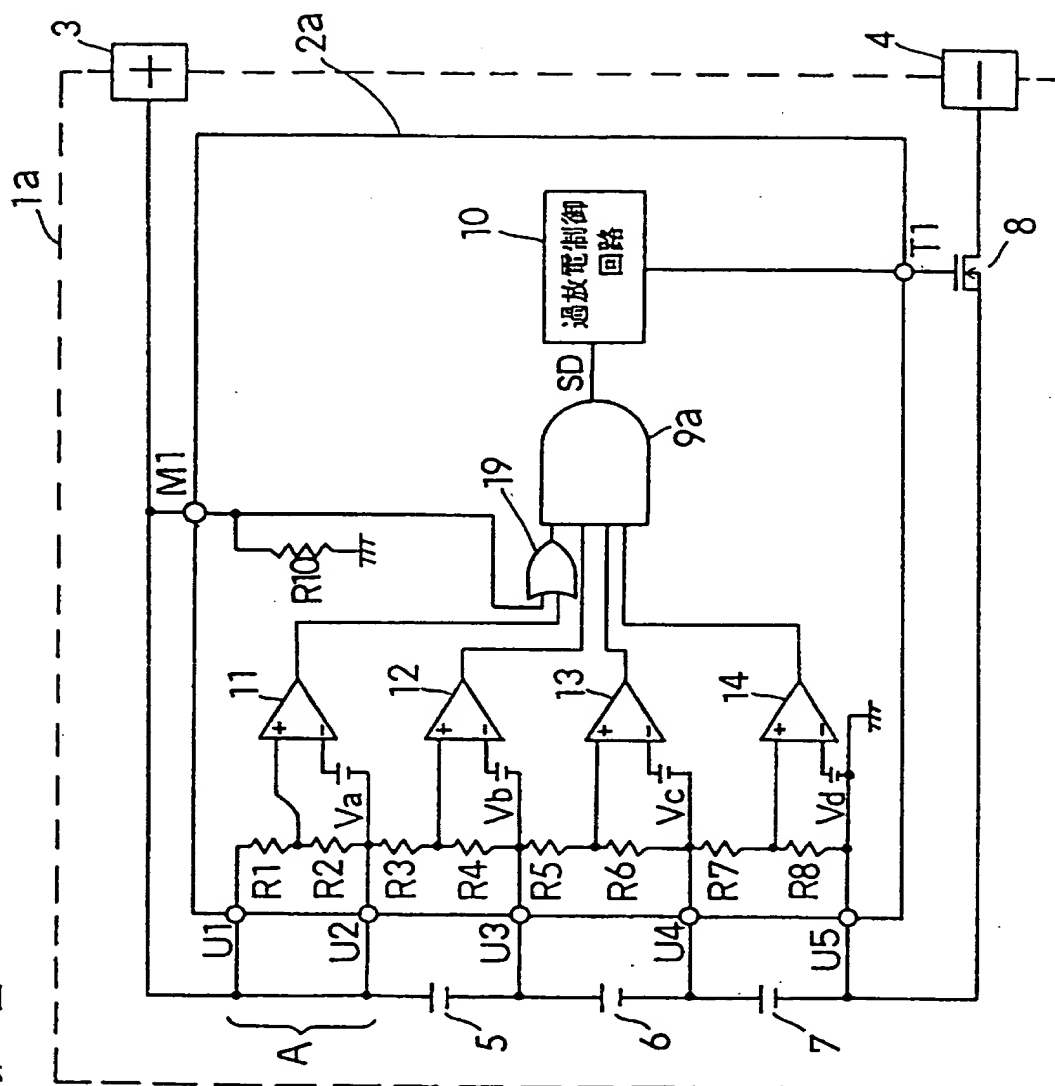
6. 前記第1回路は特定の比較手段とモード端子に接続されその特定の比較手段の出力とモード端子の信号を入力するオア回路であり、前記第2回路は前記オア回路の出力と残りの比較手段の出力を入力するアンド回路であることを特徴とする請求項4に記載の電池パック。

1/5

第1図

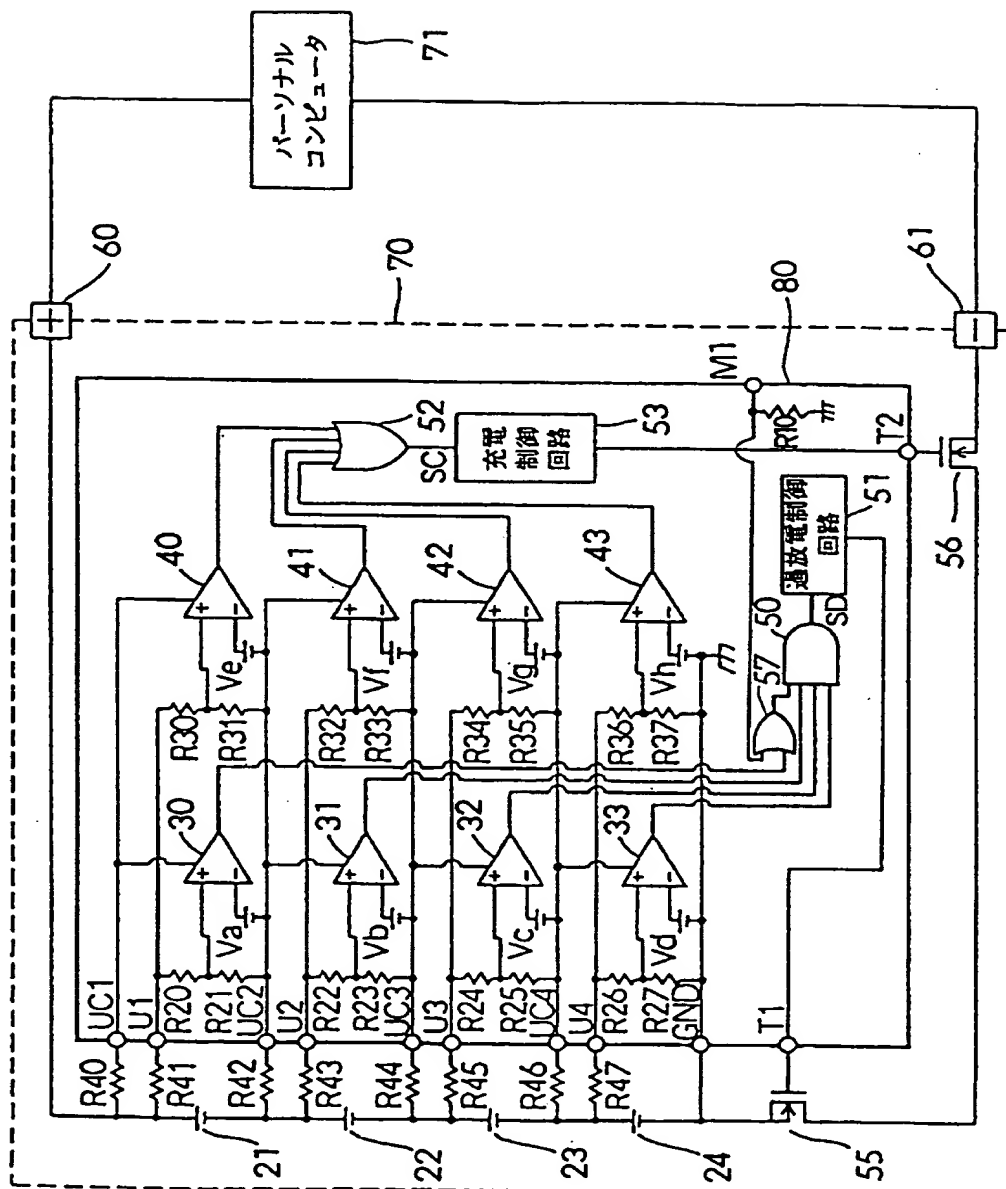


第2回

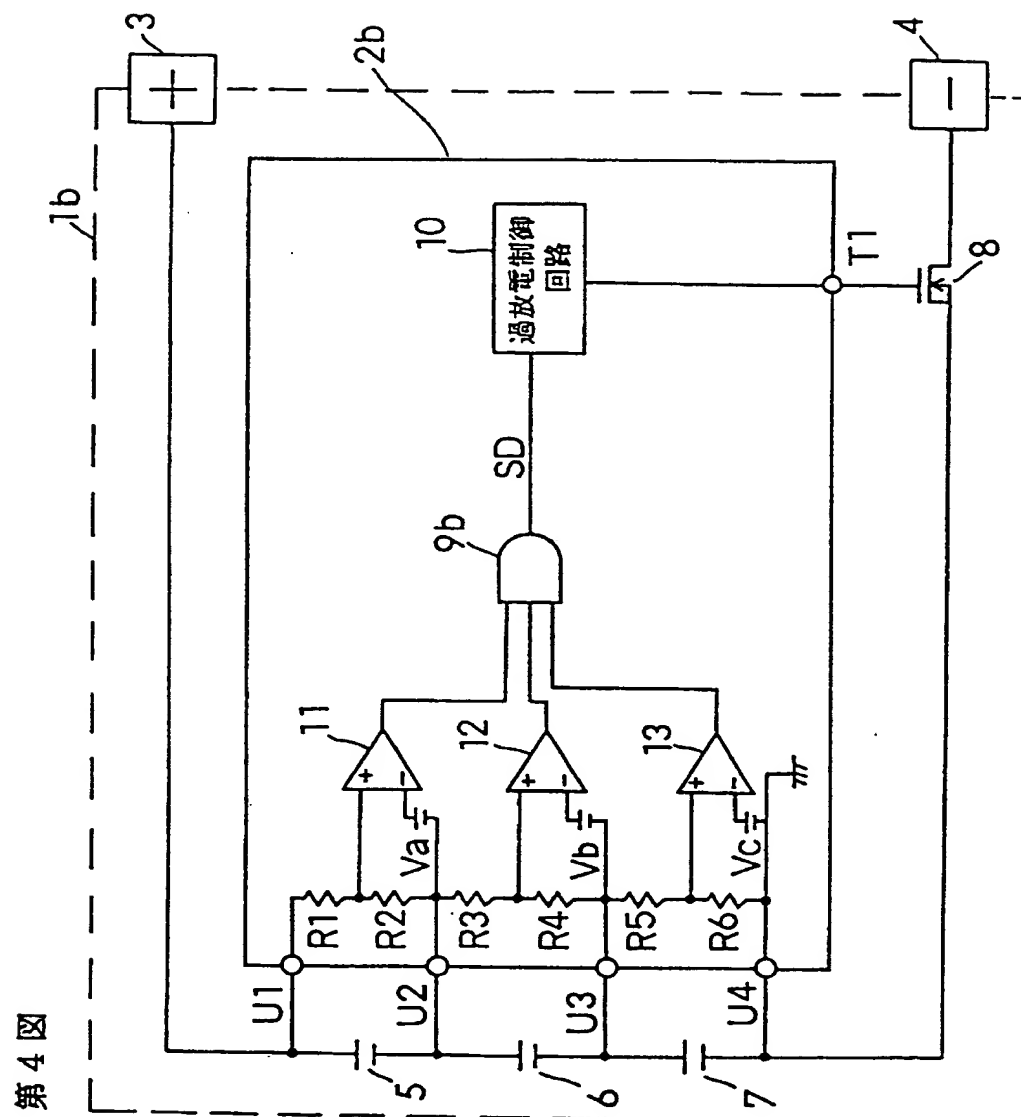


3 / 5

第3図

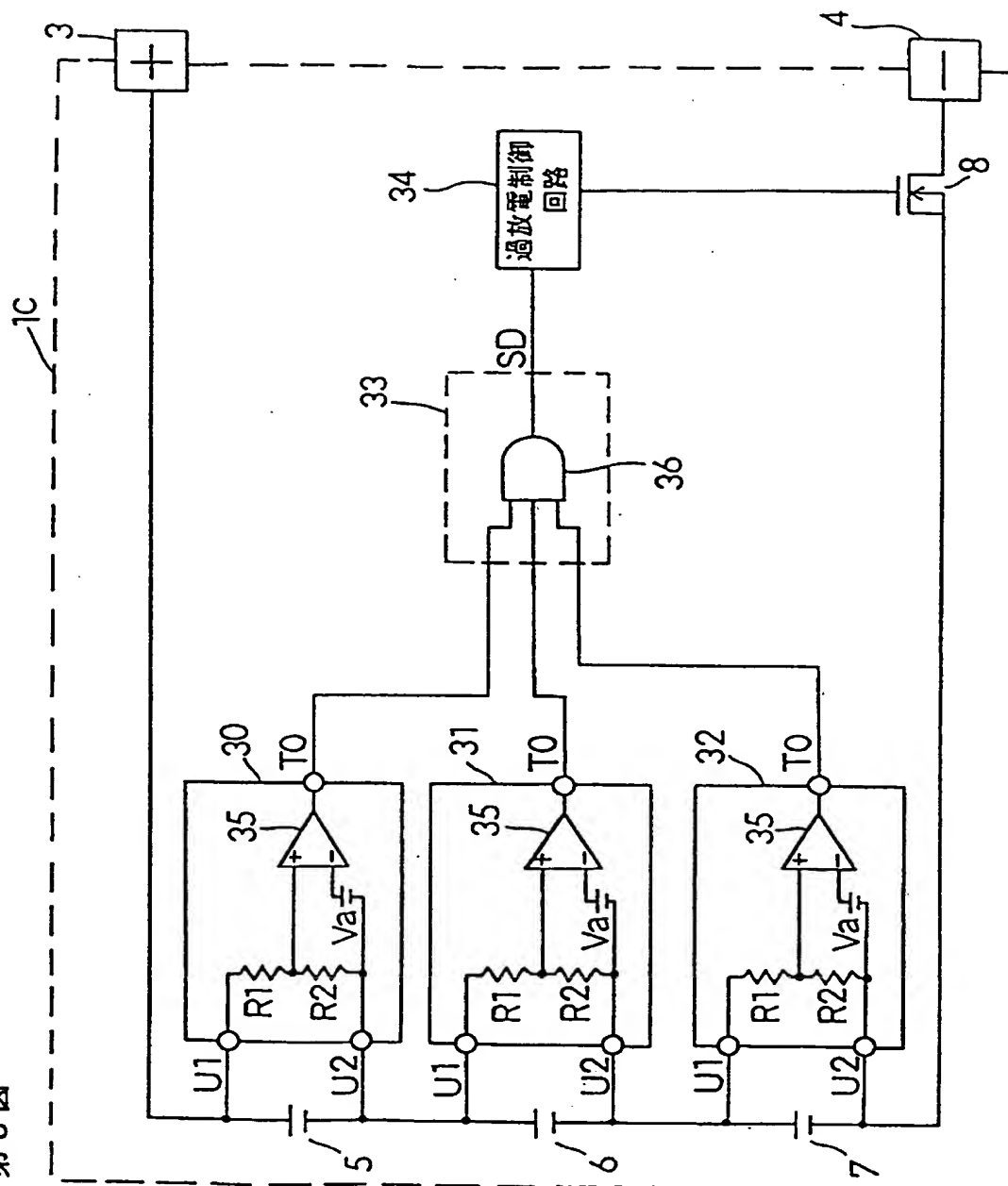


4 / 5



5 / 5

第 5 図



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/00379

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>6</sup> H02J7/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>6</sup> H02J7/00-7/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998  
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 5-336674, A (Toshiba Battery Co., Ltd.), December 17, 1993 (17. 12. 93) (Family: none)	1-6
A	JP, 8-79978, A (Toyota Motor Corp.), March 22, 1996 (22. 03. 96) (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p>
--	---

Date of the actual completion of the international search  
April 15, 1998 (15. 04. 98)

Date of mailing of the international search report  
April 28, 1998 (28. 04. 98)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



## 国際調査報告

国際出願番号 PCT/J P 98/00379

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.<sup>4</sup> H02J7/00

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.<sup>4</sup> H02J7/00-7/36

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国公開実用新案広報 1971-1998年  
 日本国実用新案広報 1926-1996年  
 日本国実用新案登録広報 1996-1998年  
 日本国登録実用新案広報 1994-1998年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 5-336674, A (東芝電池株式会社) 17. 12月. 1993 (17. 12. 93) (ファミリーなし)	1-6
A	J P, 8-79978, A (トヨタ自動車株式会社) 22. 3月. 1996 (22. 03. 96) (ファミリーなし)	1-6

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 先行文献ではあるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

15. 04. 98

国際調査報告の発送日

28.04.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号 100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

矢島 伸一 印

5G 9060

電話番号 03-3581-1101 内線 3527

(57) Abstract

A power supply control integrated circuit device comprises detection input terminals to obtain each voltage of batteries, and comparison means to compare each voltage of the batteries with the corresponding predetermined reference voltages. There are provided mode terminals to input signals for setting the number of batteries in order to control discharging, or charging of batteries according to the output of each comparison means. And, there are provided a circuit to forcibly set some of the comparison means to predetermined output states, according to signals input to the mode terminals, and a circuit to exclude outputs of the comparison means in the predetermined output state from monitoring. The power supply control integrated circuit device may thereby control the performance of the batteries without any external parts even under different number of batteries.

Best Mode of Carrying out the Invention

<First Embodiment>

FIG. 1 shows a circuit diagram of a battery pack 1 using a power supply monitoring IC 2 according to this embodiment. In FIG. 1, the same parts as those in FIG. 4 are denoted by the same reference numbers, and double description will be omitted. The power supply monitoring IC 2 capable of controlling 1 to 4 stages of batteries controls three stages of batteries 5 to 7 as an embodiment shown in FIG. 1.

Lithium ion batteries 5 to 7 are connected in series in

the order of decreasing potential. The high potential side of the battery 5 is connected to detection input terminals U1, U2 of the power supply monitoring IC 2, and a positive terminal 3 of the battery pack 1. The low potential side of the battery 7 is connected to an input terminal 5, and the drain of a MOSFET 8. The source of the MOSFET 8 is connected to a negative terminal 4.

On/off control of the MOSFET 8 is performed by the power supply monitoring IC 2, while the gate of the MOSFET is connected to a terminal TI. The MOSFET 8 is a switching element. A connection midpoint between the batteries 5 and 6 is connected to an input terminal U3. A connection midpoint between the batteries 6 and 7 is connected to an input terminal U4. A mode terminal MI is connected to the high potential side of the battery 5. Mode terminals M2, M3 are disconnected or grounded.

In the power supply monitoring IC 2, resistors R1 and R2 are connected between the input terminals UI and U2 in series. Resistors R3 and R4 are connected between the input terminals U2 and U3 in series. Resistors R5 and R6 are connected between input terminals U3 and U4 in series. Resistors R7 and R8 are connected between input terminals U4 and U5 in series. The input terminal U5 is connected to the ground.

A connected midpoint between the resistors R1 and R2 is connected to a non-inversion input terminal (+) of a comparator 11. A voltage higher than that of the input terminal U2 by a reference voltage  $V_a$  is applied to a non-inversion input terminal (-) of the comparator 11. A connection midpoint

between the resistors R3 and R4 is connected to a non-inversion input terminal (+) of a comparator 12. A voltage higher than that of the input terminal U3 by a reference voltage Vb is applied to a non-inversion input terminal (-) of the comparator 12.

A connection midpoint between the resistors R5 and R6 is connected to a non-inversion input terminal (+) of a comparator 13. A voltage higher than that of the input terminal U4 by a reference voltage Vc is applied to a non-inversion input terminal (-) of the comparator 13. A connection midpoint between the resistors R7 and R8 is connected to a non-inversion input terminal (+) of a comparator 14. A voltage higher than the ground level by a reference voltage Vd is applied to a non-inversion input terminal (-) of the comparator 14. The output sides of the comparators 11 to 14 are connected to an AND circuit 9. However, dummy output processing circuits 15 to 17 have been inserted to the output sides of the comparators 11 to 13, respectively. The values of the reference voltages Va, Vb, Vc, and Vd are all the same.

And, the dummy output processing circuits 15 to 17 have been inserted to the mode terminals M1 to M3, respectively. Each of the dummy output processing circuits 15 to 17 is an OR circuit, wherein each of the comparators 11 to 13 is forcibly set to be in an high-level output state by input of the output of the comparators 11 to 13 and the voltage level of the corresponding mode terminals M1 to M3. Moreover, the terminals M1 to M3 are connected to the ground through the corresponding

one of the resistors R10 to R12.

The dummy output processing circuit 15 is input with a high-level signal from the mode terminal M1, then, the circuit 15 outputs a high-level signal to forcibly set the output of the comparator 11 in a high-level state. On the other hand, since the dummy output processing circuit are input with a low-level signal from each of the mode terminals M2 and M3, respectively, the signals output from the comparators 12, 13 are input to the AND circuit 9, as it is.

A part denoted by "A" is a part with unused batteries, and short-circuited. Thereby, the dummy output processing circuit 15 inputs a high-level signal to the AND circuit 9 by a high-level signal from the mode terminal M1, though the comparator 11 comes to a low-level output state. Then, the AND circuit 9 performs AND processing of comparison results of the voltages of the batteries 5 to 7 with the overdischarge voltage. Then, when all the voltages of the batteries 5 to 7 are higher than the overdischarge voltage, the AND circuit outputs a high-level AND signal SD. On the other hand, when the voltage of any one of the batteries 5 to 7 is lower than the overdischarge voltage, the AND circuit 9 outputs a low-level signal SD.

And, when the signal SD is in a high-level state, an overdischarge control circuit 10 turns on the MOSFET 8 connected to the input terminal TI to supply electric power to devices (not shown) such as personal computers connected to the positive terminal 3 and the negative terminal 4. On the other hand, when the signal SD is in a low-level state, the overdischarge control

circuit 10 turns the MOSFET 8 off to prohibit the overdischarge of the batteries 5 to 7.

Thus, as there is kept the logical matching even under the presence of the part A with unused batteries, the power supply monitoring IC 2 may control the three stages of batteries 5 to 7. As the dummy output processing circuit 15 forcibly sets the comparator 11 to be in a high-level output state, the output of the comparator 11 is excluded from monitoring in the AND circuit 9 and the overdischarge control circuit 10.

In order to insert a battery to the part A with unused batteries, and control four stages of batteries, the mode terminal M1 may be disconnected and grounded. Thereby, the high-level signal is not output from the dummy output processing circuit 15, and the output of the comparator 11 is input to the AND circuit 9, as it is. And for one or two stages of batteries, a high-level voltage is applied to a suitable terminal of the mode terminals M1 to M3, and short circuit processing is performed between unused terminals of input terminals U1 to U4. Thus, selection of the number of battery stages may be possible, and suitable control of the overdischarge state of the batteries with the selected stages of batteries may be performed. The number of mode terminals M1 to M3 is equal to the smaller number of batteries by one, as the number of batteries to be monitored by the power supply monitoring IC 2 is not zero.

As mentioned above, according to this embodiment, one power supply monitoring IC 2 may control 1 to 4 stages of

batteries, and the power supply monitoring IC 2 may be used in common even with different stages of batteries to cause easy management of the power supply monitoring IC 2 and the like. There is no need to manufacture dedicated power supply monitoring Ics according to the number of batteries to shorten periods such as those for evaluation and design of battery packs. The control reliability may be maintained even under changing stages of batteries to be controlled by the power supply monitoring IC 2. Moreover, 1 to 4 stages of batteries may be controlled without parts such as external parts 33 required for conventional battery packs such as the battery pack 1c (refer to FIG. 5).

As hereinafter described, a function to prevent overcharge and excess current may be provided for the power supply monitoring IC 2, as there is a danger such as fuming due to overcharge and excess current of the batteries 5 to 7. For detection of the overcharge, it should be decided by a comparator whether the voltage of each battery 5 to 7 is higher than a predetermined overcharge voltage, similarly as the case to detect the overcharge voltage. The overcharge voltage is, for example, 4.3V. Other MOSFETs (not shown) connected in series to the batteries 5 to 7 are turned off to prohibit the charging of the batteries, when the voltage of any one of batteries 5 to 7 is higher than the overcharge voltage.

In order to detect the excess current, a current is detected by reading drops in the voltage at an element connected in series to the batteries 5 to 7 like the MOSFET 8. Other

MOSFETs (not shown) connected in series to the batteries 5 to 7 are turned off to prohibit the use of the batteries, when the current is higher than the predetermined current value.

In this embodiment, the maximum number of battery stages to be controlled by the power supply monitoring IC 2 is four, but, batteries with the different maximum number of stages, not limited to four, may be controlled by adding similar circuits. And other types of switching elements may be used for the MOSFET 8. The overdischarge voltage may be set to voltage values other than 2.2 V. The overcharge voltage may be also set to other voltage values including 4.3 V. Moreover, operation of each comparator may be controlled by the output of the corresponding dummy output processing circuit.

#### <Second Embodiment>

A second embodiment of the present invention will be described, referring to FIG. 2. FIG. 2 shows a circuit diagram of a battery pack 1a having a configuration to control three stages of batteries 5 to 7, using a power supply monitoring IC 2a capable of controlling three- and four-stage batteries.

Lithium ion batteries 5 to 7 are connected in series in the order of decreasing potential. The high potential side of the battery 5 is connected to input terminals U1, U2 of the power supply monitoring IC 2, and a positive terminal 3 of the battery pack 1a. The low potential side of the battery 7 is connected to an input terminal 5, and the drain of a MOSFET 8. The source of the MOSFET 8 is connected to a negative terminal 4.



On/off control is performed by the power supply monitoring IC 2a, while the gate of the MOSFET 8 is connected to a terminal TI. A connection midpoint between the batteries 5 and 6 is connected to an input terminal U3. The connection midpoint of the batteries 6 and 7 is connected to an input terminal U4. A mode terminal MI is connected to the high potential side of the battery 5.

In the power supply monitoring IC 2a, resistors R1 and R2 are connected between the input terminals UI and U2 in series. Resistors R3 and R4 are connected between the input terminals U2 and U3 in series. Resistors R5 and R6 are connected between input terminals U3 and U4 in series. Resistors R7 and R8 are connected between input terminals U4 and U5 in series. The input terminal U5 is connected to the ground.

A connected midpoint between the resistors R1 and R2 is connected to a non-inversion input terminal (+) of the comparator 11. A voltage higher than that of the input terminal U2 by a reference voltage Va is applied to a non-inversion input terminal (-) of the comparator 11. A connection midpoint of the resistors R3 and R4 is connected to a non-inversion input terminal (+) of the comparator 12. A voltage higher than that of the input terminal U3 by a reference voltage Vb is applied to a non-inversion input terminal (-) of the comparator 12.

A connection midpoint of the resistors R5 and R6 is connected to a non-inversion input terminal (+) of the comparator 13. A voltage higher than that of the input terminal U4 by a reference voltage Vc is applied to a non-inversion input

terminal (-) of the comparator 13. A connection midpoint of the resistors R7 and R8 is connected to a non-inversion input terminal (+) of the comparator 14. A voltage higher than the ground level by a reference voltage  $V_d$  is applied to a non-inversion input terminal (-) of the comparator 14. The output sides of the comparators 11 to 14 is connected to an AND circuit 9a.

A cell mode switching circuit 19 is connected to the terminal M1. The switching circuit 19 switches the operation mode by input of a high-level or low-level signal from the terminal M1. The switching circuit 19 is an OR circuit wherein the output level of the comparator 11 can be forcibly set to be in a high-level output state when the terminal M1 is in a high-level state. In the figure in which the case for a three cell mode (the number of battery stages is three.) is shown, the terminal M1 is connected to the high potential side of the battery 5, and applies a high-level signal to the switching circuit 19. In case of a four-cell mode, the terminal M1 is disconnected or grounded through a resistor R10.

In case of a three-cell mode, the output of the comparator 11 is in a low-level state, as the input terminals U1 and U2 are short-circuited. AND processing of the signals output from comparators 12 to 14 is performed by sending a signal to the AND circuit 9a from the switching circuit 19, for example, by forcibly setting the output side of the comparator 11 into a high-level state as mentioned above.

Thereby, the AND circuit 9a compares the voltages of the

batteries 5 to 7 with the overdischarge voltage, and outputs a signal SD to an overdischarge control circuit 10. On/off control of the MOSFET 8 connected to the terminal T1 is performed by the overdischarge control circuit 10 according to the signal SD. In case of three-cell mode, the output of the comparator 11 is excluded from monitoring in the AND circuit 9a and the overdischarge control circuit 10.

Thereby, for example, there are three- or four-stage batteries for notebook-sized personal computers, depending on the kinds of central Processor Units (CPUs), and the power supply monitoring IC 2 or IC 2a according to the present

embodiment may be used for both cases. Thus, the power supply monitoring IC may be more extensively used. In the above first and second embodiments (FIGS. 1 and 2, respectively), a high- or low-voltage level signal of the mode terminals causes the switching, but the operation mode may be switched according to the input pulse number of predetermined switching signals such as pulse signals.

#### <Third Embodiment>

A third embodiment of the present invention will be described, referring to FIG. 3. FIG. 3 is a block diagram of a battery pack 70 using a power supply monitoring IC 80 for monitoring overdischarge and excess current. The power supply monitoring IC 80 monitors the state of four lithium ion batteries 21 to 24 against overdischarge and excess current.

Cells 21 to 24 are connected in series in the order of decreasing potential. The high potential side of the battery

21 is connected to a positive terminal 60 of the battery pack 70, and the low potential side of the battery 24 is connected to the drain of an N-channel MOSFET 55 for discharge control. The source of the MOSFET 55 is connected to the drain of the N-channel MOSFET 56 for charge control, and the gate of the MOSFET 55 is connected to a terminal T1 of the power supply monitoring IC 80.

The source of the MOSFET 56 is connected to the negative terminal 61 of the battery pack 70, and the gate of the MOSFET 55 is connected to a terminal T2 of the power supply monitoring IC 80. On/off control of MOSFETs 55, 56 is performed by the power supply monitoring IC 80, as described below. The power is supplied to a personal computer 71 connected to terminals 60, 61 by discharging.

A power supply terminal UC1 for power supply to a comparator is connected to the high potential side of the battery 21 through a protective resistor 40 as described below. Protective resistors 40 to 47 have a resistance value of about 1 k $\Omega$ , and prevents noise from entering the power supply monitoring IC 73, and the IC 73 from static destruction. And a voltage detection terminal U1 is connected to the high potential side of the battery 21 through the protective resistor R41. As for intermediate terminals, a power supply terminal UC2 is also connected to a connection midpoint between the batteries 21 and 22 through a protective resistor R42. A power supply terminal U2 is also connected to a connection midpoint between the batteries 21 and 22 through a protective resistor

R43.

A power supply terminal UC3 is also connected to a connection midpoint between the batteries 22 and 23 through a protective resistor R44. A power supply terminal U3 is connected to a connection midpoint between the batteries 22 and 23 through a protective resistor R45. A power supply terminal UC4 is connected to a connection midpoint between the batteries 23 and 24 through a protective resistor R46. A voltage detection terminal U4 is connected to a connection midpoint between the batteries 23 and 24 through a protective resistor R47.

The power supply terminals UC1 to UC4 supply power to comparators 30 to 33, and 40 to 43, respectively. Resistors 20 and 21 are connected in series between the terminals U1 and UC2. The voltage at a connection midpoint between resistors R20 and R21 is applied to a non-inversion input terminal (+) of the comparator 30. A voltage higher than that of the power supply terminal UC2 by a reference voltage  $V_a$  is applied to a non-inversion input terminal (-) of the comparator 30.

Similarly, resistors R22 and R23 are connected in series between the voltage detection terminal U2 and the power supply terminal UC3. The voltage at a connection midpoint between resistors R22 and R23 is applied to a non-inversion input terminal (+) of the comparator 31. A voltage higher than that of the power supply terminal UC3 by a reference voltage  $V_b$  is applied to a non-inversion input terminal (-) of the comparator 31.

Similarly, resistors R24 and R25 are connected in series between the terminals U3 and UC4. The voltage at a connection midpoint between resistors R24 and R25 is applied to a non-inversion input terminal (+) of the comparator 32. A voltage higher than that of the power supply terminal UC4 by a reference voltage  $V_c$  is applied to a non-inversion input terminal (-) of the comparator 32.

Similarly, resistors 26 and 27 are connected in series between the terminals U4 and GND. The voltage at a connection midpoint between resistors R26 and R27 is applied to a non-inversion input terminal (+) of the comparator 33. A terminal GND is grounded to be at the ground level. A voltage higher than the ground level by a reference voltage  $V_d$  is applied to a non-inversion input terminal (-) of the comparator 33. The resistors R20, R22, R24, and R26 have the same resistance value, for example, 3 M $\Omega$ . The resistors R21, R23, R25, and R27 have the same resistance value, for example, 1 M $\Omega$ . The voltages of the comparison voltage  $V_a$  to  $V_d$  are all the same, and the voltages of the batteries 21 to 24 are compared with the overdischarge voltage at the comparators 30 to 33, respectively. The overdischarge voltage has, for example, a value of 2.2 V.

The outputs of the comparators 30-33 are input to a AND circuit 50. However, an OR circuit 57 is inserted to the output side of the comparator 30, and the other input side of the OR circuit 57 is connected to a mode terminal M1. The mode terminal M1 is grounded through a resistor R10. Thereby, the AND circuit

50 outputs a signal SD, when all the voltages of the batteries 21 to 24 are higher than the overdischarge voltage. The output of the AND circuit 50 is sent to an overdischarge control circuit 51. When the signal SD is input to the overdischarge control circuit 51, the overdischarge control circuit 51 applies a voltage to the gate of a MOSFET 55, and turn the MOSFET 55 on.

On the other hand, when the voltage of at least one of the batteries 21 to 24 is lower than the overdischarge voltage, the signal SD is not output from the AND circuit 50, and the overdischarge control circuit 51 turns the MOSFET 55 off.

Thereby, the batteries 21 to 24 are monitored against

overdischarge by the power supply monitoring IC 80 at discharging.

Moreover, the batteries 21 to 24 are monitored against overcharge by the power supply monitoring IC 80 at charging.

The resistors R30 and R31 are connected in series between the terminals U1 and UC2. The voltage at a connection midpoint between resistors R30 and R31 is applied to a non-inversion input terminal (+) of the comparator 40. A voltage higher than that of the terminal UC2 by a comparison voltage  $V_e$  is applied to a non-inversion input terminal (-) of the comparator 40. Thereby, when the voltage of the battery 21 is higher than that of a predetermined overcharge voltage, the output of the comparator 40 is in a high-level, on the other hand, when lower, in a low-level. The overcharge voltage is, for example, 4.3 V.

Similarly, resistors R32 and R33 are connected in series

between the terminals U2 and UC3. The voltage at a connection midpoint between resistors R32 and R33 is applied to a non-inversion input terminal (+) of the comparator 41. A voltage higher than that of the terminal UC3 by a comparison voltage  $V_f$  is applied to a non-inversion input terminal (-) of the comparator 41.

Similarly, resistors R34 and R35 are connected in series between the terminals U3 and UC4. The voltage at a connection midpoint between resistors R34 and R35 is applied to a non-inversion input terminal (+) of the comparator 42. A voltage higher than that of the terminal UC4 by a comparison voltage  $V_g$  is applied to a non-inversion input terminal (-) of the comparator 42.

Similarly, resistors R36 and R37 are connected in series between the terminals U4 and GND. The voltage at a connection midpoint between resistors R36 and R37 is applied to a non-inversion input terminal (+) of the comparator 43. A voltage higher than the ground level by a comparison voltage  $V_h$  is applied to a non-inversion input terminal (-) of the comparator 43.

The outputs of the comparators 40 to 43 are input to an OR circuit 52. Thereby, when the voltage of at least one of the batteries 21 to 24 become higher than the overcharge voltage, the output of the OR circuit 52 becomes high-level. On the other hand, when all the voltages of batteries 21 to 24 are lower than the overcharge voltage, the output becomes low-level. The output (signal SC) of the OR circuit 52 is input to a charge



control circuit 53.

When a high-level signal SC is not input, a charge control circuit 53 applies a voltage to the gate of MOSFET 56 connected to the terminal T2, and, turns MOSFET 56 on. On the other hand, when a low-level signal SC is input, the MOSFET 56 is turned off. Thereby, when the batteries 21 to 24 are charged from terminals 60 and 61, each voltage of the batteries 21 to 24 is monitored whether it is higher than a overcharge voltage. If any one of the batteries 21 to 24 is higher than the overcharge voltage, the MOSFET 56 is turned off to prohibit charging.

Four lithium ion batteries 21 to 24 connected in series are monitored against overdischarge and overcharge by the power supply monitoring IC 80 according to this embodiment. The current hardly flows in the voltage detection terminals U1 to U4 due to the high impedance of the resistors R20 to R27. Thus, the voltage drops such as those of the wiring resistances, and the protective resistors R41, R43, and R45 are reduced to prevent dropping in the detection accuracy.

Moreover, there are no effects on other terminals even when the intermediate terminals U2 to U4, UC2 to UC4 break away due to defectives such as faulty soldering. Therefore, the power supply monitoring IC 80 turns the MOSFET 55 off to prevent the overdischarge of the batteries 21 to 24 without improper judgements. Similarly, the comparators 40 to 43 to detect the overcharge have no improper judgements. In case of three batteries to be monitored, the battery 21 is in short-circuited connection, and further the mode terminal MI is connected to

the high potential sides of the batteries 22 to 24. Thereby, it is possible to monitor the three batteries 22 to 24, as mentioned above.

The power supply monitoring IC 80 may be provided with a function to prevent the excess current, as there is a danger of fuming by the excess current flowing in the lithium ion batteries 21 to 24. For example, in case of the excess current, the MOSFET 55 is turned off, when the voltage is detected by converting the current to the voltage, using on-resistors such as the MOSFET 55.

The number of batteries to be monitored may be arbitrarily set as 2, 3, . . . , as the power supply monitoring IC 80 has the same kind of circuit configuration for each battery 21 to 24, as shown in FIG. 5. For example, the power supply monitoring IC to monitor two or three batteries may be used for portable telephones and portable video recorders. And the power supply monitoring IC to monitor three or four batteries may be used for devices such as the personal computer 71, as shown in FIG. 5. Naturally, the battery pack 70 according to this embodiment may be used for devices other than personal computer 71.

Moreover, any position may be available for the insertion of the MOSFETs 55, 56, if off operation thereof causes to stop discharging and charging of the batteries 21 to 24. The terminals UCI and UI may be the same.

#### CLAIMS

1. A power supply monitoring integrated circuit device,

comprising input terminals to obtain each voltage of a plurality of batteries, and a plurality of comparison means to compare each voltage of the batteries with a predetermined reference voltage, and controlling the discharging or charging of the batteries according to the output of the comparison means, wherein

there are provided mode terminals to input a signal for specifying the number of batteries to be controlled by the power supply monitoring integrated circuit device, a first circuit to forcibly set some of the plurality of the comparison means to be in a predetermined output state based on the input signals to the mode terminals, and a second circuit to exclude outputs of comparison means in the predetermined output state from monitoring.

2. A power supply monitoring integrated circuit device according to claim 1, wherein the reference voltage is an overdischarge voltage, the comparison means outputs a first level signal when the voltage of the battery is higher than the overdischarge voltage, the comparison means outputs a second level signal, when the voltage of the battery is lower than the overdischarge voltage, the second circuit to exclude some of batteries from monitoring performs AND processing of the output of each of the comparison means by an AND circuit, and the first circuit to forcibly set outputs of some of batteries in the predetermined output state forcibly sets outputs of some of the comparison means in a first level output

state based on signals input to the mode terminals,

3. A power supply monitoring integrated circuit device according to claim 1, wherein the first circuit is an OR circuit which is connected to a specified comparison means and mode terminal, and inputs an output of the specified comparison means and a signal of the mode terminal; and the second circuit is an AND circuit which inputs an output of the OR circuit and outputs of the remaining comparison means.

4. A battery pack comprising batteries, switching elements connected in series to the batteries, and a power supply monitoring integrated circuit device to control the on/off operation of the switching elements according to monitoring results of the power supply monitoring integrated circuit device; wherein the power supply monitoring integrated circuit device comprises;

a plurality of input terminals to obtain each voltage of a plurality of batteries;

a plurality of comparison means to compare each voltage of the batteries with the corresponding predetermined voltage;

mode terminals to input a signal for specifying the number of batteries to be controlled by the power supply monitoring integrated circuit device;

a first circuit to forcibly set some of a plurality of the comparison means in a predetermined output state based on signals input to the mode terminals;

a second circuit to exclude some of the outputs of the comparison means in the predetermined output state;

5. A battery pack according to claim 4, wherein the reference voltage is an overdischarge voltage, the comparison means outputs a first level signal when the voltage of the battery is higher than the overdischarge voltage, a second level signal is output when the voltage of the battery is lower than the overdischarge voltage, the second circuit to exclude some of outputs of batteries from monitoring performs AND processing of each output of the comparison means by an AND circuit; and a first circuit to forcibly set outputs of some of a plurality of the comparison means to be in a predetermined output state forcibly sets outputs of some of the comparison means in a first level based on signals input to the mode terminals.

6. A battery pack according to claim 4, wherein the first circuit is an OR circuit which is connected to specified comparison means and mode terminal, and inputs the output of the first circuit and the signal of the mode terminal, and a second circuit is an AND circuit which inputs the output of the OR circuit and outputs of the remaining comparison means.

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**